

## ARM Cortex Debug ETM プローブ 取扱説明書

本製品はハーフピッチ 10/20 ピン Cortex Debug コネクタ用のプローブになります。ターゲットボードに搭載されたコネクタのピンに合わせて付属の 10 ピンまたは 20 ピンケーブルで接続してください。また、本製品は JTAG 及び SWD に対応しています。接続に関しては、各機能代表的な接続を後述の接続図や JP 設定を参照してください。これ以外の接続方法に関しては、JP 設定を参照し、設計、接続をしてください。

トレース対応の JTAG 及び SWD 機能を使ったデバッグを行う場合はターゲットボード上に、本製品のケーブルを接続するための回路やコネクタが必要になります。以下の図を参考にターゲット上に回路を用意しておいてください。また、必ずご使用の CPU のユーザーマニュアルもあわせてご確認ください。

PARTNER-Jet(ARM) ハードウェアマニュアルもあわせてご確認ください。

### 1. ターゲットボード上に用意するコネクタ

#### 1. 20 ピンコネクタ(JTAG 接続)

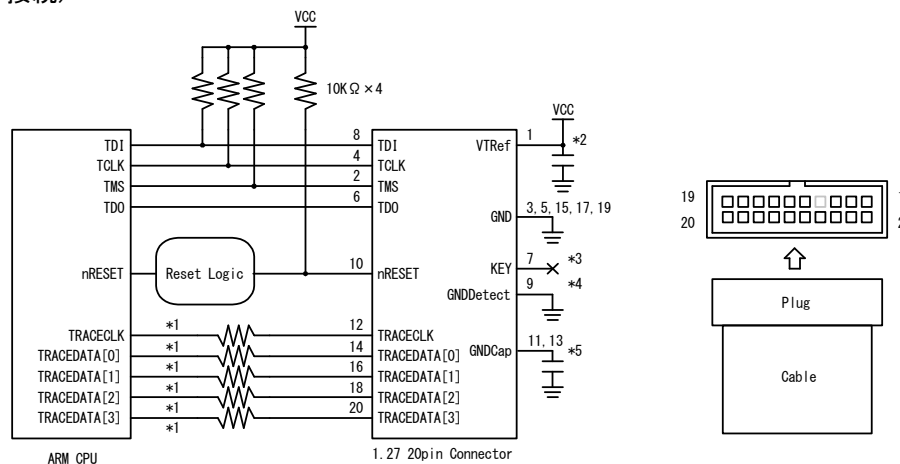


図 20 ピン JTAG 接続コネクタ推奨回路例

- 注 1. パターン長はできるだけ短くしてください。
- 注 2. TCLK 信号のクロックパターン長はできるだけ短くして、GND で囲んでシールドしてください。
- 注 3. トレース信号(\*1) はできるだけ短くして、配線長をそろえてください。また、他の信号からのクロストークに特に注意してください。未接続のトレース信号は、コネクタの端子を GND に接続してください。ターゲットの基板の状態や CPU のドライブ能力などでダンピング抵抗などを入れる必要がある場合がありますので、抵抗 (33 Ω) が実装できるようにすることを推奨します。
- 注 4. \*2 コネクタ付近にパスコン(0.1uF)を配置してください。VTRef は直接信号の IO 電源を接続することを推奨します。
- 注 5. \*3 KEY は Plug 側で埋められています。コネクタのピンのない位置と合わせて挿入してください。
- 注 6. \*4 出荷時 9 ピンは本製品内で GND に接続されています。JP 設定を参照してください。
- 注 7. \*5 VTRef 同等のパスコン(0.1uF)を接続し、AC 的に GND に接続することを推奨します。未接続でも構いません。
- 注 8. リセットロジックは、PARTNER-Jet(ARM) ハードウェアマニュアル『リセット回路について』(25 ページ) を参照してください。

## 2, 20ピンコネクタ(JTAG 接続) ピン配列

コネクタ型番 SAMTEC 製 SHF-110-01-L-D-TH

表 20 ピンコネクタ (JTAG 接続) ピン配列

コネクタピン番号	CPU 信号名	備考
1	VTRef	I/O 電源
2	TMS	
3	GND	
4	TCLK	
5	GND	
6	TDO	
7	KEY	キーピン(*1)
8	TDI	
9	GND	(*2)
10	nRESET	
11	GNDcap	(*3)
12	TRACECLK	
13	GNDcap	(*3)
14	TRACEDATA0	
15	GND	
16	TRACEDATA1	
17	GND	
18	TRACEDATA2	
19	GND	
20	TRACEDATA3	

\*1 KEY は Plug 側で埋められています。コネクタのピンのない位置と合わせて挿入してください。

\*2 出荷時 9ピンは本製品内で GND に接続されています。JP 設定を参照してください。

\*3 VTRef 同等のバスコン(0.1uF)を接続し、AC 的に GND に接続することを推奨します。未接続でも構いません。

## 3, 10ピンコネクタ(JTAG 接続)

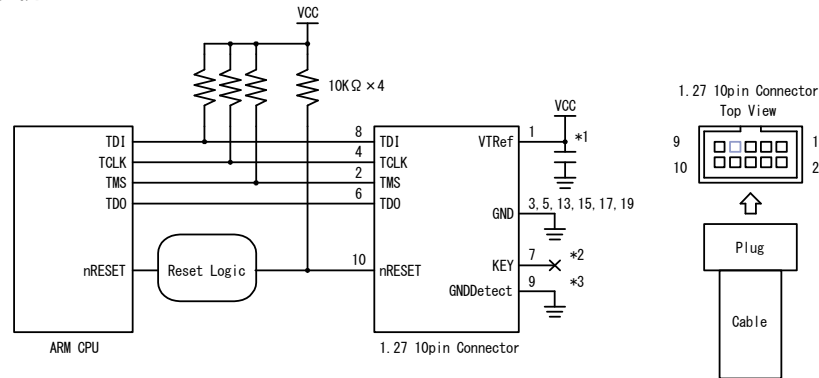


図 10ピン SWD 接続コネクタ推奨回路例

- 注 1. パターン長はできるだけ短くしてください。
- 注 2. \*1 コネクタ付近にパスコン(0.1uF)を配置してください。VTRef は直接信号の IO 電源を接続することを推奨します。
- 注 3. \*2 KEY は Plug 側で埋められています。コネクタのピンのない位置と合わせて挿入してください。
- 注 4. \*3 出荷時 9 ピンは本製品内で GND に接続されています。JP 設定を参照してください。
- 注 5. リセットロジックは、PARTNER-Jet(ARM) ハードウェアマニュアル『リセット回路について』(25 ページ) を参照してください。

## 4, 10ピンコネクタ(JTAG 接続) ピン配列

コネクタ型番 SAMTEC 製 SHF-105-01-L-D-TH

表 10ピンコネクタ (JTAG 接続) ピン配列

コネクタピン番号	CPU 信号名	備考
1	VTRef	IO 電源
2	TMS	
3	GND	
4	TCLK	
5	GND	
6	TDO	
7	KEY	キーピン(*1)
8	TDI	
9	GND	(*2)
10	nRESET	

\*1 KEY は Plug 側で埋められています。コネクタのピンのない位置と合わせて挿入してください。

\*2 出荷時 9 ピンは本製品内で GND に接続されています。JP 設定を参照してください。

## 5, 20ピンコネクタ(SWD 接続)

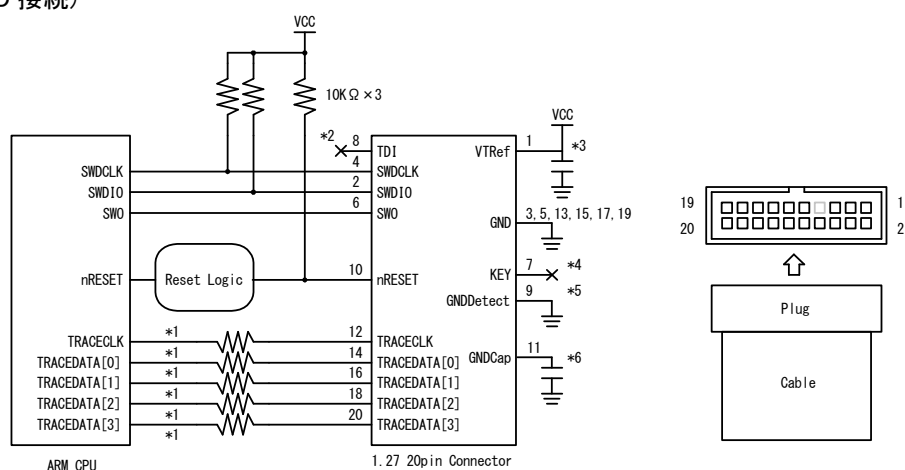


図 20ピン SWD 接続コネクタ推奨回路例

- 注 1. パターン長はできるだけ短くしてください。
- 注 2. SWDCLK 信号のクロックパターン長はできるだけ短くして、GND で囲んでシールドしてください。
- 注 3. トレース信号(\*1) はできるだけ短くして、配線長をそろえてください。また、他の信号からのクロストークに特に注意してください。未接続のトレース信号は、コネクタの端子を GND に接続してください。ターゲットの基板の状態や CPU のドライブ能力などでダンピング抵抗などを入れる必要がある場合がありますので、抵抗 (33 $\Omega$ ) が実装できるようにすることを推奨します。
- 注 4. \*2 TDI 信号は、オプションです。CPU 側が機能兼用ピンの JTAG で接続可能な場合は、TDI 信号は接続することを推奨します。CPU 側に該当する端子がない場合は未接続でかまいません。
- 注 5. \*3 コネクタ付近にパスコン(0.1uF)を配置してください。VTRef は直接信号の IO 電源を接続することを推奨します。
- 注 6. \*4 KEY は Plug 側で埋められています。コネクタのピンのない位置と合わせて挿入してください。
- 注 7. \*5 出荷時 9 ピンは本製品内で GND に接続されています。JP 設定を参照してください。
- 注 8. \*6 VTRef 同等のパスコン(0.1uF)を接続し、AC 的に GND に接続することを推奨します。未接続でも構いません。
- 注 9. リセットロジックは、PARTNER-Jet(ARM) ハードウェアマニュアル『リセット回路について』(25 ページ) を参照してください。

## 6, 20ピンコネクタ(SWD 接続) ピン配列

コネクタ型番 SAMTEC 製 SHF-110-01-L-D-TH

表 20 ピンコネクタ (SWD 接続) ピン配列

コネクタピン番号	CPU 信号名	備考
1	VTRef	I/O 電源
2	SWDIO	
3	GND	
4	SWCLK	
5	GND	
6	SWO	
7	KEY	キーピン(*1)
8	-	オプション(*2)
9	GND	(*3)
10	nRESET	
11	GNDCap	(*4)
12	TRACECLK	
13	GNDCap	(*4)
14	TRACEDATA0	
15	GND	
16	TRACEDATA1	
17	GND	
18	TRACEDATA2	
19	GND	
20	TRACEDATA3	

\*1 KEY は Plug 側で埋められています。コネクタのピンのない位置と合わせて挿入してください。

\*2 TDI 信号は、オプションです。CPU 側が機能兼用ピンの JTAG で接続可能な場合は、TDI 信号は接続することを推奨します。

CPU 側に該当する端子がない場合は未接続でかまいません。

\*3 出荷時 9ピンは本製品内で GND に接続されています。JP 設定を参照してください。

\*4 VTRef 同等のパスコン(0.1uF)を接続し、AC 的に GND に接続することを推奨します。未接続でも構いません。

7, 10ピンコネクタ(SWD 接続)

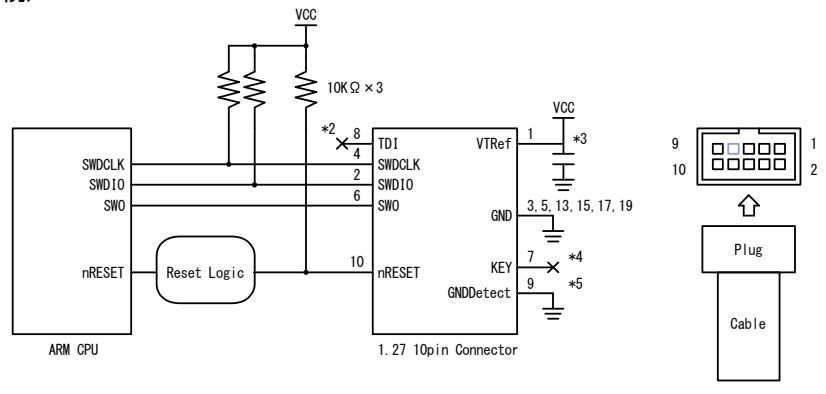


図 10ピン SWD 接続コネクタ推奨回路例

- 注 1. パターン長はできるだけ短くしてください。
- 注 2. SWDCLK 信号 のクロックパターン長はできるだけ短くして、GND で囲んでシールドしてください。
- 注 3. \*2 TDI 信号は、オプションです。CPU 側が機能兼用ピンの JTAG で接続可能な場合は、TDI 信号は接続することを推奨します。CPU 側に該当する端子がない場合は未接続でかまいません。
- 注 4. \*3 コネクタ付近にパスコン(0.1uF)を配置してください。VTRef は直接信号の IO 電源を接続することを推奨します。
- 注 5. \*4 KEY は Plug 側で埋められています。コネクタのピンのない位置と合わせて挿入してください。
- 注 6. \*5 出荷時 9ピンは本製品内で GND に接続されています。JP 設定を参照してください。
- 注 7. リセットロジックは、PARTNER-Jet(ARM) ハードウェアマニュアル『リセット回路について』(25 ページ) を参照してください

8, 10ピンコネクタ(SWD 接続) ピン配列  
コネクタ型番 SAMTEC 製 SHF-105-01-L-D-TH

表 10ピンコネクタ (SWD 接続) ピン配列

コネクタピン番号	CPU 信号名	備考
1	VTRef	IO 電源
2	SWDIO	
3	GND	
4	SWCLK	
5	GND	
6	SWO	
7	KEY	キーピン(*1)
8	-	オプション(*2)
9	GND	(*3)
10	nRESET	

- \*1 KEY は Plug 側で埋められています。コネクタのピンのない位置と合わせて挿入してください。
- \*2 TDI 信号は、オプションです。CPU 側が機能兼用ピンの JTAG で接続可能な場合は、TDI 信号は接続することを推奨します。CPU 側に該当する端子がない場合は未接続でかまいません。
- \*3 出荷時 9ピンは本製品内で GND に接続されています。JP 設定を参照してください。

## 9. JP 設定

### 1. PARTNER-Jet 側基板のジャンパー設定

本製品では、通常 JP1,4 の設定を変更する必要はありません。

出荷時の設定 JP1=1-2 JP4=2

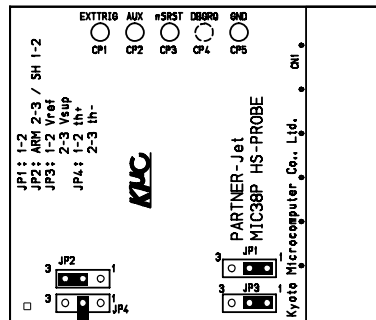


図 ターゲット電源 JP

#### 入力電圧スレッシュホールド設定 (JP1)

入力信号(TDO やトレース信号)のスレッシュホールド電圧(入力バッファ電源電圧)を設定します。通常変更する必要はありません。

JP 設定	設定内容	備考
1-2	V <sub>Tref</sub> 設定	出荷時の状態
2-3	CFG 内 JVCC 電圧	CFG ファイル内 JVCC で設定

表 入力電圧スレッシュホールド設定

#### 入力電圧の調整 (JP4)

JP1 が JP3 設定の場合に有効になります。入力信号(TDO やトレース信号)のスレッシュホールド電圧(入力バッファ電源電圧)を調整します。通常変更する必要はありません。

JP 設定	設定内容	備考
1-2	+10%	出荷時の状態
	+0%	
2-3	-10%	

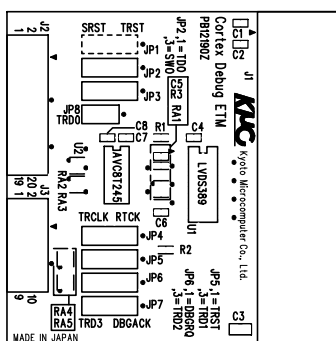
表 入力電圧の調整

上限は 3.3V になります。3.3V の場合+10%の設定は、+0%と同じ状態になります。

JP2,3 は出荷時固定になります。 JP2=2-3 JP3=1-2

## 2. ターゲット側基板のジャンパー設定

ターゲット CPU とデバッグコネクタの接続に応じて、各ジャンパの設定を行ってください。出荷時は、JTAG+ETM の設定になっています。



1: JP1 Cortex Debug 10ピン nRESET の接続設定。

JP 設定	設定内容	備考
1-2	設定不可	
2-3	SRST と接続	出荷時の状態

表 JP1 設定

2: JP2 SWO の接続設定 SWO の PARTNER-Jet と Cortex Debug Connector の接続を切り替えます。

Cortex Debug Connector 10ピンおよび JTAG 接続では、変更しないでください。

JP 設定	設定内容	備考
1-2	6ピン	TDO/SWO (CortexDebug 6ピン) 出荷時の設定
2-3	14ピン	TRACE_DATA0 (CortexDebug 14ピン)

表 JP2 設定

\* ターゲットが Cortex Debug Connector 20ピンで ETM ではなく SWD 機能で 14ピンが SWO で接続されている場合に変更してください。



## 3: JP3 Cortex Debug 9ピンの接続設定 出荷時 GND 設定

JP 設定	設定内容	備考
1-2	TRST と接続	PARTNER-Jet の TRST と接続
2-3	GND と接続	出荷時設定

表 JP3 設定

\* ターゲット基板の Cortex Debug 9ピンが TRST の場合、必ず変更してください。

## 4: JP4 Cortex Debug 12ピンの接続設定 出荷時 TRACE\_CLK 設定

JP 設定	設定内容	備考
1-2	RTCK と接続	PARTNER-Jet の RTCK と接続
2-3	TRACE_CLK と接続	PARTNER-Jet の TRACE_CLK と接続 出荷時設定

表 JP4 設定

\* ターゲットが Cortex Debug Connector 20ピンで ETM ではなく JTAG 機能で 12ピンが RTCK で接続されている場合に変更してください。

## 5: JP5 Cortex Debug 16ピンの接続設定 出荷時 TRACE\_D1 設定

JP 設定	設定内容	備考
1-2	TRST と接続	PARTNER-Jet の TRST と接続
2-3	TRACE_D1 と接続	PARTNER-Jet の TRACE_D1 と接続 出荷時設定

表 JP5 設定

\* ターゲットが Cortex Debug Connector 20ピンで ETM ではなく JTAG 機能で 16ピンが TRST で接続されている場合に変更してください。

## 6: JP6 Cortex Debug 18ピンの接続設定 出荷時 TRACE\_D2 設定

JP 設定	設定内容	備考
1-2	DBGRRQ と接続	PARTNER-Jet の DBGRRQ と接続
2-3	TRACE_D2 と接続	PARTNER-Jet の TRACE_D2 と接続 出荷時設定

表 JP6 設定

\* ターゲットが Cortex Debug Connector 20ピンで ETM ではなく JTAG 機能で 18ピンが DBGRRQ で接続されている場合に変更してください。

## 7: JP7 Cortex Debug 20 ピンの接続設定 出荷時 TRACE\_D3 設定

JP 設定	設定内容	備考
1-2	DBGACK と接続	PARTNER-Jet の DBGACK と接続
2-3	TRACE_D3 と接続	PARTNER-Jet の TRACE_D3 と接続 出荷時設定

表 JP5 設定

\* ターゲットが Cortex Debug Connector 20 ピンで ETM ではなく JTAG 機能で 20 ピンが DBGACK で接続されている場合に変更してください。

8: JP8 ジャンパーを接続した状態で出荷されています。変更しないでください。